

[1] カルノー図から簡単化した論理式を求めよ。ただし，カルノー図中にまとめた項を線で囲んで明示すること。また，図中の×は0, 1 を特に定めない未定義項を意味する。

(1.1) 次の Y についてのカルノー図から，積の和形式に簡単化した論理式を求めよ¹。

		(A, B)			
		Y	(0, 0)	(0, 1)	(1, 1)
(C, D)	(0, 0)	1	1	1	0
	(0, 1)	0	1	1	0
	(1, 1)	0	0	0	0
	(1, 0)	1	1	0	0

(1.2) 積の和形式に簡単化した論理式を求めよ。

		(A, B)			
		(0, 0)	(0, 1)	(1, 1)	(1, 0)
(C, D)	(0, 0)	×	1	1	×
	(0, 1)	0	1	1	0
	(1, 1)	1	0	0	×
	(1, 0)	×	1	0	×

(1.3) 和の積形式に簡単化した論理式を求めよ²。

		(A, B)			
		(0, 0)	(0, 1)	(1, 1)	(1, 0)
(C, D)	(0, 0)	0	1	1	1
	(0, 1)	0	0	0	0
	(1, 1)	0	0	0	1
	(1, 0)	0	1	1	1

[2] 与えられた真理値表からカルノー図を描き，Y に対する簡単化した論理式を求めよ。ただし，カルノー図にはまとめた項を囲む線を記入すること。また，表中の×は未定義項を表す。

(2.1) カルノー図を描き，出力 Y を積の和形式で求めよ。

入力				出力
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

¹[ヒント] 1 に着目して隣合うセルをまとめる。

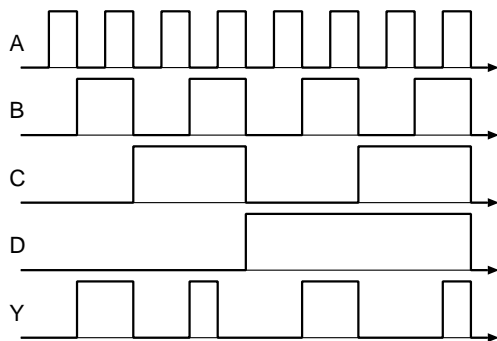
²[ヒント] 0 に着目して，隣合うセルをまとめる

(2.2) カルノー図を描き，出力 Y を和の積形式で求めよ．

入力				出力
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	×
0	0	1	0	1
0	0	1	1	×
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	×
1	1	0	0	0
1	1	0	1	×
1	1	1	0	1
1	1	1	1	1

- [3] カルノー図を使用して，タイムチャーに示す動作をする論理回路を求めよ³．
 ただし，A, B, C, D は入力，Y は出力を表し，図に示されていない入力に対しては，出力を未定義項である．
 各設問では，カルノー図と，得られた論理式を示すこと．

(3.1)



- [4] 次の加法標準形で表された論理式について，カルノー図を描いて，式を簡単化せよ．さらに，得られた式をゲート図で表わせ．

$$Y = \bar{A} \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C$$

- [5] 次の動作をする回路を求めよ．

(5.1) 0 から 7 番までの入力 ($I_0 \sim I_7$) を 3 ビットの 2 進数 (000) ~ (111) に変換するエンコーダを設計せよ．(教科書 p.53 図 8.7)

³この問題からは，特に指定されない場合は，積の和形式，和の積形式のどちらの形式で解答しても構わない．

(5.2) 2進数を表す3ビットの入力信号 (a_2, a_1, a_0) を 0~7 に変換して $z_0 \sim z_7$ に出力するデコーダを設計せよ。
(教科書 p.53 図 8.8)

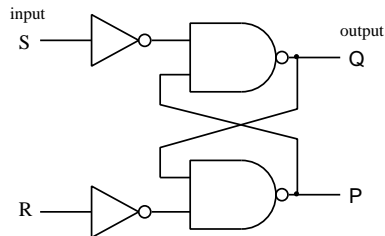
[6] 4チャンネル2ビットのマルチプレクサ回路を設計せよ。なお、選択信号 (A, B) で出力される2進数とチャンネル番号を一致させること。(教科書 p.53 図 8.9)

[7] 4チャンネル2ビットのデマルチプレクサ回路を設計せよ。なお、選択信号 (A, B) で出力される2進数とチャンネル番号を一致させること。(教科書 p.53 図 8.10)

[8] 半加算器, および, 全加算器の動作を説明せよ。

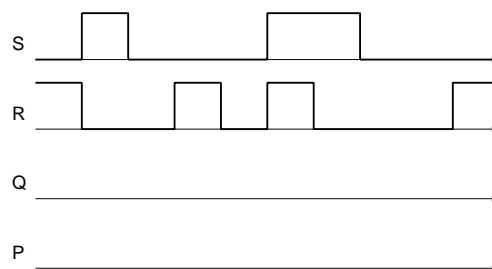
[9] 加算回路 教科書 p.60, 問題 [1]

[10] 次の回路の動作について各設問に答えよ。



(10.1) 出力 Q を \bar{Q} を除いた入出力信号の論理式で表わせ。同様に P についての論理式を求めよ。

(10.2) 下図に示すタイムチャートに Q, P の信号波形を書き入れよ。



[11] 教科書 p.67, 68

(解答例)

[1] カルノー図から簡単化した論理式を求めよ．ただし，カルノー図中にまとめた項を線で囲んで明示すること．また，図中の×は0, 1 を特に定めない未定義項を意味する．

(1.1) 次の Y についてのカルノー図から，積の和形式に簡単化した論理式を求めよ⁴．

		(A, B)			
	Y	(0, 0)	(0, 1)	(1, 1)	(1, 0)
(C, D)	(0, 0)	1	1	1	0
	(0, 1)	0	1	1	0
	(1, 1)	0	0	0	0
	(1, 0)	1	1	0	0

$$Y = \boxed{1} + \boxed{2}$$

$$= \overline{A} \cdot \overline{D} + B \cdot \overline{C}$$

(1.2) 次の Y についてのカルノー図から，積の和形式に簡単化した論理式を求めよ．

		(A, B)			
	Y	(0, 0)	(0, 1)	(1, 1)	(1, 0)
(C, D)	(0, 0)	×	1	1	×
	(0, 1)	0	1	1	0
	(1, 1)	1	0	0	×
	(1, 0)	×	1	0	×

$$Y = \boxed{1} + \boxed{2} + \boxed{3}$$

$$= B \cdot \overline{C} + \overline{B} \cdot C + \overline{A} \cdot \overline{D}$$

(1.3) Y についてのカルノー図から，和の積形式に簡単化した論理式を求めよ⁵．

		(A, B)			
		(0, 0)	(0, 1)	(1, 1)	(1, 0)
(C, D)	(0, 0)	0	1	1	1
	(0, 1)	0	0	0	0
	(1, 1)	0	0	0	1
	(1, 0)	0	1	1	1

$$Y = \boxed{1} \cdot \boxed{2} \cdot \boxed{3}$$

$$= (A + B)(\overline{B} + \overline{D})(\overline{A} + C + \overline{D})$$

[2] 与えられた真理値表からカルノー図を描き，Y に対する簡単化した論理式を求めよ．ただし，カルノー図にはまとめた項を囲む線を記入すること．また，表中の×は未定義項を表す．

(2.1) カルノー図を描き，出力 Y を積の和形式で求めよ．

入力				出力
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

		(A, B)			
	Y	(0, 0)	(0, 1)	(1, 1)	(1, 0)
(C, D)	(0, 0)	1	0	0	1
	(0, 1)	0	0	0	0
	(1, 1)	1	1	0	0
	(1, 0)	1	1	0	1

$$Y = \boxed{1} + \boxed{2}$$

$$= \overline{A} \cdot C + \overline{B} \cdot \overline{D}$$

(2.2) カルノー図を描き，出力 Y を和の積形式で求めよ．

⁴[ヒント] 1 に着目して隣合うセルをまとめる．

⁵[ヒント] 0 に着目して，隣合うセルをまとめる

入力				出力
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	×
0	0	1	0	1
0	0	1	1	×
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	×
1	1	0	0	0
1	1	0	1	×
1	1	1	0	1
1	1	1	1	1

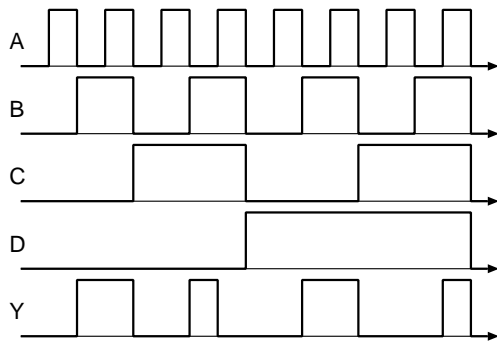
		(A, B)				
		Y	(0,0)	(0,1)	(1,1)	(1,0)
(C, D)	(0,0)	1	1	0	0	
	(0,1)	×	0	×	0	
	(1,1)	×	0	1	×	
	(1,0)	1	1	1	1	

$$Y = \boxed{1} \cdot \boxed{2}$$

$$= (A + \overline{D})(\overline{A} + C)$$

- [3] カルノー図を使用して、タイムチャーに示す動作をする論理回路を求めよ⁶。
 ただし、A, B, C, D は入力、Y は出力を表し、図に示されていない入力に対しては、出力を未定義項である。
 各設問では、カルノー図と、得られた論理式を示すこと。

(3.1)



		(A, B)				
		Y	(0,0)	(1,0)	(1,1)	(0,1)
(C, D)	(0,0)	0	0	1	1	
	(1,0)	0	0	0	1	
	(1,1)	0	0	1	0	
	(0,1)	0	0	1	1	

$$Y = \boxed{1} + \boxed{2} + \boxed{3}$$

$$= B \cdot \overline{C} + \overline{A} \cdot B \cdot \overline{D} + A \cdot B \cdot D$$

- [4] 次の加法標準形で表された論理式について、カルノー図を描いて、式を簡単化せよ。さらに、得られた式をゲート図で表わせ。

$$Y = \overline{A} \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot C$$

		(A, B)				
		Y	(0,0)	(0,1)	(1,1)	(1,0)
C	0			1	1	
	1	1	1	1		

このカルノー図では、Y=0 を空欄にしている。
 上の図より、

$$Y = \boxed{1} + \boxed{2} + \boxed{3}$$

$$= \overline{A} \cdot C + A \cdot B + A \cdot \overline{C}$$

(別解 3)

$$Y = \overline{A} \cdot C + B \cdot C + A \cdot \overline{C}$$

[別解 1]

$$Y = \overline{A} \cdot C + A \cdot B + A \cdot \overline{C}$$

$$= \overline{A} \cdot C + A(B + \overline{C})$$

(別解 4)

$$Y = (A + C)(\overline{A} + B + \overline{C})$$

[別解 2]

$$Y = \overline{A} \cdot C + A \cdot B + A \cdot \overline{C}$$

$$= A \oplus C + A \cdot B$$

⁶この問題からは、特に指定されない場合は、積の和形式、和の積形式のどちらの形式で解答しても構わない。

[5] 次の動作をする回路を求めよ .

(5.1) 0 から 7 番までの入力 ($I_0 \sim I_7$) を 3 ビットの 2 進数 (000) ~ (111) に変換するエンコーダを設計せよ . (教科書 p.53 図 8.7)

(教科書 p.105)

(5.2) 2 進数を表す 3 ビットの入力信号 (a_2, a_1, a_0) を 0 ~ 7 に変換して $z_0 \sim z_7$ に出力するデコーダを設計せよ . (教科書 p.53 図 8.8)

(教科書 p.105, 106)

[6] 4 チャンネル 2 ビットのマルチプレクサ回路を設計せよ . なお , 選択信号 (A, B) で出力される 2 進数とチャンネル番号を一致させること . (教科書 p.53 図 8.9)

(教科書 p.106)

[7] 4 チャンネル 2 ビットのデマルチプレクサ回路を設計せよ . なお , 選択信号 (A, B) で出力される 2 進数とチャンネル番号を一致させること . (教科書 p.53 図 8.10)

(教科書 p.107)

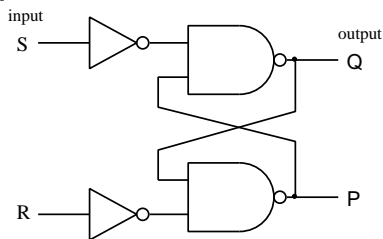
[8] 半加算器 , および , 全加算器の動作を説明せよ .

(教科書 p.54 ~ 46)

[9] 加算回路 教科書 p.60, 問題 [1]

(教科書 p.107)

[10] 次の回路の動作について各設問に答えよ .

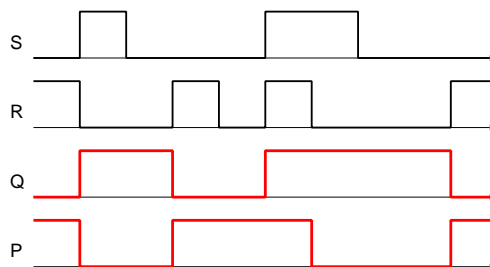


(10.1) 出力 Q を Q を除いた入出力信号の論理式で表わせ . 同様に P についての論理式を求めよ .

$$Q = \overline{\overline{S} \cdot P} = S + \overline{P}$$

$$P = \overline{\overline{R} \cdot Q} = R + \overline{Q}$$

(10.2) 下図に示すタイムチャートに Q, P の信号波形を書き入れよ .



[11] 教科書 p.67, 68